

Reference 1

Japanese Patent Public Disclosure No. 164958/1980

Date of Public Disclosure: December 23, 1980

Application No. 75397/1980

Application Date: June 4, 1980

Priority: S.N. 455476 (US)

Inventor: Richard David Liza

Applicant: Memorex Corporation

Title: Disk Cache Subsystem

Claim:

A cache subsystem for use in a direct access storage device with a data processing device, for decreasing time taken to retrieve desired data, said subsystem comprises a direct access storage device for storing and detecting data, a data storage device for storing said desired data, and a control device for communicating said direct storage device, said data storage device and said data processing device and for controlling the communication between these devices, said control device enables the time taken to retrieve said desired data from said data storage device to be less than that taken to retrieve said desired data from said direct storage device.

① 日本国特許庁 (JP)

② 特許出願公開

③ 公開特許公報 (A)

昭55-164958

④ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑤ 公開 昭和55年(1980)12月23日

G 06 F 13/04

7361-5B

G 11 C 9/06

7056-5B

// G 11 B 5/09

7345-5D

発明の数 1

審査請求 未請求

(全 22 頁)

⑥ ディスク・キヤツシュ・サブシステム

ザ

⑦ 特 願 昭55-75397

アメリカ合衆国カリフォルニア  
州サラトガ・ボンネット・ウェ  
イ18885

⑧ 出 願 昭55(1980)6月4日

優先権主張 ⑨ 1979年6月4日 ⑩ 米国(US)  
⑪ 455476

⑬ 出 願 人 メモレックス・コーポレーシ  
ョン

⑭ 発 明 者 パーツラーフ・ブラディミア・  
ホフマイスタ  
アメリカ合衆国カリフォルニア  
州サラトガ・テレンス・アベニ  
ュー12309

アメリカ合衆国カリフォルニア  
州サンタ・クララ・サン・トマ  
ス・アット・セントラル・エクス  
プレスウエイ(番地なし)

⑮ 発 明 者 リチャード・デイビッド・ライ

⑯ 代 理 人 弁理士 山崎行造 外1名  
最終頁に続く

明細書の序言(内容に支障なし)

明 細 書

1. 特 許 の 名 称

ディスク・キヤツシュ・サブシステム

2. 特 許 請求 の 範 囲

(1) データ処理装置とともに使用し、予定データ  
を復元するに要する時間を減少するダイレクト  
・アクセス記憶装置のキヤツシュ・サブシステ  
ムにおいて、データを記憶しかつ復元するダイ  
レクト・アクセス記憶装置；前記予定データを  
記憶するデータ・メモリ装置；前記ダイレクト  
・アクセス記憶装置、前記データ・メモリ装置、  
及び前記データ処理装置を相互に結合してこれ  
らの間のコミュニケーションを制御する制御装  
置であつて、前記予定データを前記データ・メ  
モリ装置から復元するに要する時間が前記予定  
データを前記ダイレクト・アクセス記憶装置か  
ら復元するに要する時間よりも短くし得る制御  
装置を含有することを特徴とするキヤツシュ・  
サブシステム。

(2) 特 許 請求 の 範 囲 (1) の 記 載 の キヤツシュ・サ

ブシステムにおいて、前記制御装置と前記デー  
タ処理装置とを結合する記憶制御装置を含むキ  
ヤツシュ・サブシステム。

(3) 特 許 請求 の 範 囲 (1) の 記 載 の キヤツシュ・サ  
ブシステムにおいて、前記制御装  
置は前記ダイレクト・アクセス記憶装置を前記  
データ処理装置と結合するダイレクト・アクセ  
ス記憶装置制御装置、及び前記データ・メモリ装  
置を前記ダイレクト・アクセス記憶装置制御装  
置と結合するデータ・メモリ制御装置を含み、前  
記データ・メモリ制御装置は予定データを前記  
データ・メモリ装置内に記憶せしめるように設け  
られるキヤツシュ・サブシステム。

(4) 特 許 請求 の 範 囲 (1) の 記 載 の キヤツシュ・サ  
ブシステムにおいて、前記データ・メモリ制御  
装置は前記ダイレクト・アクセス記憶装置制御  
装置と前記データ・メモリ装置とを結合するマイ  
クロプロセッサ装置；予定データが前記データ  
記憶装置内に記憶せしめられるように前記マイク  
ロプロセッサ装置を制御するための前記マイクログ

- 1 -

- 2 -

- コモンアセンブリで与えられる制御記号メモリ番地  
：及び前記データ・メモリ番地内に記憶されて  
いる前記予定データのダイレクト・アクセス記  
憶番地アドレスを記憶するスタック・ポッド  
・メモリ番地を含むキャッシュ・サブシステム。
- (5) 特殊要求の機能(4)項記載のキャッシュ・サ  
ブシステムにおいて、前記データ・メモリ制御  
番地と前記ダイレクト・アクセス記憶番地制御  
番地を相互に結合するインタフェイス制御番地を  
含むキャッシュ・サブシステム。
- (6) 特殊要求の機能(5)項記載のキャッシュ・サ  
ブシステムにおいて、前記インタフェイス制御  
番地は前記データ・メモリ番地と前記データ番  
地番地、及び前記データ・メモリ番地と前記  
ダイレクト・アクセス記憶番地間ダイレクト  
・メモリ・アクセス・データを伝送するダイレ  
クト・メモリ・アクセス番地を含むキャッシュ  
・サブシステム。
- (7) 特殊要求の機能(4)項記載のキャッシュ・サ  
ブシステムにおいて、前記制御記憶メモリ番地

- 3 -

- ブシステムにおいて、前記ランダム・アクセス  
半導体メモリ番地は少なくとも第1記憶番地と第  
2記憶番地を含むキャッシュ・サブシステム。
- (11) 特殊要求の機能(10)項記載のキャッシュ・サ  
ブシステムにおいて、前記第1記憶番地は前  
記第2記憶番地よりも遅いデータ伝送速度を有  
し得るキャッシュ・サブシステム。
- (12) 特殊要求の機能(11)項又は第(10)項記載のキャ  
ッシュ・サブシステムにおいて、前記予定デー  
タは固定フィールド・ダイナミックであり、  
前記固定フィールド・ダイナミックは前記ダイ  
レクト・アクセス記憶番地のデータ・フィール  
ド構成に相当するように設けられるキャッシュ  
・サブシステム。
- (13) 特殊要求の機能(11)項記載のキャッシュ・サ  
ブシステムにおいて、前記データ・メモリ番地  
のデータ記憶番地は前記ダイレクト・アクセス  
記憶番地の記憶番地よりも小であるように設け  
られるキャッシュ・サブシステム。
- (14) 特殊要求の機能(11)項、又は第(10)項、又は第

- 4 -

- 11項55-164956(2)  
にマイクロプログラムを含み、前記マイクロ  
プログラムは前記データ・メモリ番地内に記憶  
され、リスト・リーセントリ・ムーブ(LRU)  
アルゴリズムに依りて発生するように設けら  
れるキャッシュ・サブシステム。
- (8) 特殊要求の機能(4)項記載のキャッシュ・サ  
ブシステムにおいて、前記サブシステムは前記  
データ・メモリ制御番地と前記ロード/ユニ  
タ・マイクロプロセッサ番地を含む、前記ロード/  
ユニタ・マイクロプロセッサ番地は前記マイク  
ロプロセッサ番地が実行するようにマイクロ  
プログラムを前記制御記憶番地ロードし、前記  
ダイレクト・アクセス記憶番地サブシステムの  
作動をユニタするキャッシュ・サブシステム。
- (9) 特殊要求の機能(11)項又は第(10)項記載のキャ  
ッシュ・サブシステムにおいて、前記データ・  
メモリ番地内に与えられる記憶番地はランダム・  
アクセス半導体記憶番地を含むキャッシュ・サ  
ブシステム。
- (10) 特殊要求の機能(11)項記載のキャッシュ・サ

- 5 -

- (11)項、又は第(10)項記載のキャッシュ・サブシ  
ステムにおいて、前記ダイレクト・アクセス記憶  
番地は前記記憶ダイレクト記憶番地を含むキャ  
ッシュ・サブシステム。
- (12) 特殊要求の機能(11)項記載のキャッシュ・サ  
ブシステムにおいて、前記予定データのユニ  
ットが前記記憶ダイレクト記憶番地記憶さ  
れているフル・トランザクション情報に相当するよう  
に設けられるキャッシュ・サブシステム。

## 2. 発明の詳細な説明

本発明は、制御装置コンピュータ・システム・メ  
モリの分野に関する。本発明は、中央処理装置に  
よつてしばしば呼び出される情報を、小量の高速  
半導体メモリによつてより迅速にアクセスする改  
良されたサブシステム技術に関する。

システム3600の導入以来、IBM中央処理装置に  
入力/出力装置を接続するための制御装置が確立  
された。中央処理装置は「オペレータ」を介して周  
辺入力/出力装置と通信している。このオペレー  
タのインタフェイスによつて、中央処理装置からの

- 6 -

指令を識別しかつディスク装置へ情報の書き込みを命じ、またディスク装置から情報を検索する記憶制御装置 (SCU) の構成ができる。従来、SCUはディスク制御装置に取付けられ、ディスク制御装置に複数の磁気通気ディスク記憶制御機構を収容している。上述の型の記憶制御装置はメモレックス (Memorex) 3674 記憶制御装置 (「3674 記憶制御装置操作理論 (3674 Storage Control Unit Theory of Operation)」) と題するメモレックス公報 3674.21-00 (Memorex Publication 3674.21-00) に記載されている) である。上述の型のディスク制御装置はメモレックスディスク制御装置 (「3675/75/70 ディスク記憶サブシステム操作理論 (3675/75/70 Disc Storage Subsystem Theory of Operation)」) と題するメモレックス公報 3675.21-02 に記載されている) である。上述の型のディスク記憶装置はメモレックス 3670 及び 3675 ディスク制御モジュール (「3675/75/70 ディスク記憶サブシステム操作理論 (3675/75/70 Disc Storage Subsystem Theory of Operation)」) と題するメモレックス公報 3675.21-02 に記載されている) である。上述の型のディスク記憶装置はメモレックス 3670 及び 3675 ディスク制御モジュール (「3675/75/70 ディスク記憶サブシステム操作理論 (3675/75/70 Disc Storage Subsystem Theory of Operation)」) と題するメモレックス公報 3675.21-02 に記載されている) である。上述の型のディスク記憶装置はメモレックス 3670 及び 3675 ディスク制御モジュール (「3675/75/70 ディスク記憶サブシステム操作理論 (3675/75/70 Disc Storage Subsystem Theory of Operation)」) と題するメモレックス公報 3675.21-02 に記載されている) である。

- 7 -

ディスク・ストリングは記憶制御装置及びディスク制御機構を通して特定の情報片を呼び出すことができる。しかしながら、この操作においては、磁気装置の機械的及び電子的配置に起因して遅れが生じる。特に、ディスク記憶装置の機械的記憶により、磁気読取り/書き込みヘッドは、ディスク・スピンドル上にその位置された情報のトラックにアクセスできる移動カートリッジに大きく遅延する。情報を要求する場合、カートリッジがデータの記憶されているトラック上に読取り/書き込み磁気トランスジューサーをそこへ動かさなければならぬ。カートリッジがかかるアクセスを完了するのに要する時間は 10 ミリ秒程度とか又は 50 ミリ秒程度などである。更に、特定のトラックにアクセスした後カートリッジが所定の場所へ電子的に位置されてデータが情報を検知すると、ディスクが磁気し情報記憶されている所定の位置まで回転する間隔の遅れが生じる。ディスク回転遅れ又は「待ち時間 (latency)」は無視し得るものであり又は、3600 rpm で回転す

- 8 -

と題するメモレックス公報 3675.21-02 に記載されている) である。チャネルの SCU ディスク記憶装置及びディスク制御モジュールへの相互接続はメモレックス公報「3675/75/70 ディスク記憶サブシステム操作理論」(メモレックス公報 3675.21-02) に記載されている。

複数のディスク制御モジュールの取付けられているメモレックス 3675 ディスク制御装置によって例示される型のディスク制御装置がストリング・スイフタとして公知の専断によって複数の記憶制御装置に取付けられることも公知である。ストリング・スイフタの専断は、インテリジェント (intelligent) インタフェイスを提供するハードウェアとマイクロコードの列である。そのインテリジェント・インタフェイスは複数の記憶制御装置が 3675 型ディスク制御装置によって制御される単一ストリングのディスク記憶装置と通信せよというにしている。

特定のデータの記憶の要求又は特定のデータの検索の要求はチャネルによって開始される。

- 9 -

るディスクに対してせいぜい約 17 ミリ秒程度である。平均して、待ち時間は 3600 rpm で回転するディスクに対して約 8 ミリ秒程度である。待ち時間及び待ち時間は、重要な仕事を遂行するための中央処理装置の性能上の阻害要因となる。更に、ディスク記憶装置はその性質上通常の記憶装置を通して一定のデータ転送速度でチャネルへ情報を伝送する。データ転送速度はディスク記憶装置に記憶されている情報のビット密度と、ディスクそれ自身の回転速度との関数である。メモレックス 3670 及び 3675 製品については、データ転送速度は毎秒 1 秒あたり 804,000 である。しかしながら、チャネルはそれ自身の流弁によって転送速度は 1 秒あたり 804,000 バイトよりなるか不いことがしばしば生じる。即ち、ディスク記憶装置はチャネル電子工学の最大スピードを必ずしも完全に利用していない。このことは、システム設計者は経験上承知していることである。

ディスク記憶装置はほぼ同一の経過時間内に特定の情報片を記憶し又は検索できるダイレクトア

- 10 -

タマス記憶装置 (TASD) として公知であるが、使用者に必ずしもしだした系統的なコンピュータ構成情報とランダム記憶しかつ提供することはない。従って、ディスク記憶装置は特定のデータ群についてしばしば周期的な「記憶 (clustered)」する。このことは、ディスク記憶装置の特定の情報トラックがしばしばアクセスされ又は新たに更新されて、記憶バイトの他の情報を排除することになる。従つて、「キャッシュング (caching)」の概念は、より頻りに呼び出される情報が呼び出される、はるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を排除する結果でその情報を高速バッファに記憶する装置に促進誘導されて来た。

カル (Calle) 氏に対する米国特許第 4075486 号及びシュエマン (Schuensee) 氏に対する米国特許第 4070706 号は共に、システムの状態を高めるための、最先端位の情報を迅速に呼び出すことのできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしな

-11-

114555-164958(4)  
がら、カルら及びシュエマンにも過剰なキャッシュ・メモリを過剰のディスク・ストリングに適用することについてあまりにも示唆していない。チャーチル (Churchill) 氏に対する米国特許第 3949369 号は、高速キャッシュ・バッファを利用するデジタル・コンピュータ・システムが記載されている。チャーチルは、キャッシュ・バッファ中の情報が使用の速度に基づく情報に基いて最先端位システムが確立されるように実際に構成されていることを示唆している。最も頻りに使用される情報は最高の最先端位を受け、一方最も使用頻度の低い情報は最低の最先端位を受け受ける。もし、高速キャッシュ・メモリ及びその空間内に記憶する必要のある新たな情報が利用できない場合は、キャッシュ・バッファ中に存在する最も使用頻度の低い情報を消去する。リースト・リーメントリ・キューズド (LRU) アルゴリズムの概念はコードらに対する米国特許第 3737481 号において研究されている。コードらはキャッシュング概念を高速記憶バブル・ドメインの情報の「ベ

-12-

ージ」に適用する要件について詳しく述べている。「ページ (page)」とはコンピュータ工程において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによつて指示された一定の大きさの予定の定められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される記憶記憶又はパーナム・メモリ装置の導入によつて、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の頻りに使用される情報へのアクセスをより迅速にするための使用されるもので、CPU による大容量ダイレクト・アクセス記憶装置へのアクセスを要求するのとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用する一組に記憶されるページング・システムはスイス (Smith) 氏に対する米国特許第 3642348 号に記載されている。従って、「見かけ記憶 (apparent store)」

-13-

の概念は、イーデン (Eden) 氏に対する米国特許第 3569938 号によつて示されている。この特許においては、CPU の性能を高めるための、高速記憶を CPU と、はるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先に述べた全ての文獻は、ディスク・ストリングを有効に適用される LRU アルゴリズムを利用する高速半導体キャッシュ・メモリを応用することについては、開示も示唆もしていない。

本発明 (以後、時々「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ) はディスク・ドライブのストリングのディスク制御装置に接続された高速半導体メモリ装置を利用して、頻りに要求されるデータへのアクセスを、従来のかかる装置を使用しないで迅速に、あるいはより迅速に行なえるようにするものである。ディスク・キャッシュは4つの主な構成要素から成っている：

1. ディスク制御装置に対するインタフェイス
2. キャッシュ・コントロール・マイタロプロセ

-14-

プラ

3. ロード/メモリ・マイクロプロセッサ

4. キャッシュ・メモリ

インタフェース(1)はダイスタ制御装置内のダイスタ・キャッシュを接続するためのコントロール・バス電子工学及びデータ・バス電子工学から成っている。かかる場合では、記憶制御装置はダイスタ・キャッシュ又はダイスタ・ストリングのいずれかで通過することができ、更に、ある条件の下では、ダイスタ・キャッシュはダイスタ・ストリングが直接ダイスタ・ドライブと通過するよう制御することでもできる。記憶制御装置は「ストリング・ビジー (string busy)」の状態でかくこともできる。また、ダイスタ・キャッシュがストリング・システムから動的に分離されて、記憶制御装置の指令が単にダイスタ制御装置からダイスタ記憶装置へ「パス・スルー (pass through)」できるようにする。

キャッシュ・コントロール・マイクロプロセッサ(2)は基本的に高速ビット・ストリーム・マイ

-15-

クロプロセッサ、スランチャ・パッド・メモリ及び記憶レジスタの組合せである。キャッシュ・コントロール・マイクロプロセッサは、記憶制御装置の指令に対するダイスタ・キャッシュの応答及びキャッシュ・メモリ内のデータ・レジスタの記憶を制御するためのマイクロプログラムを使用するダイスタ・キャッシュ・サブシステムの中核装置である。

ロード/メモリ・マイクロプロセッサ(3)は、キャッシュ・コントロール・マイクロプログラムを外部記憶装置から容易にアクセス可能な記憶メモリへ移送するよう設計されている装置である。

キャッシュ・メモリ(4)は、中央処理装置によって読み取られる情報を記憶するための使用される高速半導体メモリである。キャッシュ・コントロール・マイクロプロセッサなどの情報を記憶すべきか決定するとともに、その情報がダイスタ記憶装置上に記憶されたときデータ・レジスタ・アドレス・トラップを提供する。

-16-

ダイスタ・キャッシュ・サブシステムはマイクロプログラムの制御下にある。好適な実施例においては、リスト・リーセントリ・キューズ(略して、LRU)アルゴリズムをプログラムして、ダイスタ・キャッシュが最も適当なアドレスを有するデータ・レジスタを記憶したキャッシュ・メモリから記憶の古いデータ・レジスタを消去するようにする。

もしデータ・レジスタがダイスタ・キャッシュ内にあり、このことがCPUにより要求されるならば、そのデータ・レジスタはダイスタ・キャッシュから記憶制御装置へ、又はCPUへ直接搬送される。かかるデータの搬送はダイスタの両端では保存せず、従って、情報がデータ・チャネルによってだけ搬送されることで、「ダイレクト・メモリ・アクセス」を通してダイスタ・キャッシュ・メモリから記憶制御装置へ搬送されることはダイスタ・キャッシュ・サブシステムの利点である。

更に、もし特定のデータ・レジスタがキャッシュ・メモリ内にあり、そのデータ・レジスタ

-17-

の一端がCPUによって要求されるならば、ダイスタ・キャッシュの両端によって、データ・レジスタ内において直接搬送しい情報へアクセスするという利点が生ずる。このデータ・サブシステムの利点は、データ・レジスタが、ダイスタの両端に保存するというよりも単なるアドレスの両端によってアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

従って、本発明の目的は、コンピュータ・システムの中央処理装置が今まで以上に簡便に使用されるデータ迅速アクセスできるようにすることである。

本発明の今一つの目的は、マイクロプロセッサの制御の下で高速半導体メモリを利用して、簡便に使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムに従って、キャッシュ・メモリ内の情報の記憶を制御することである。

更に、本発明の今一つの目的は、ダイスタ・キャッシュをダイスタ・ストリングのダイスタ制御

-18-

装置に設置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク記憶装置と通信できるようにすることである。

#### 詳しい実施形態

##### その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーション・ハードウェア・モード
4. ディスク・キャッシュ・サブシステム・ソフトウェア
5. 記憶装置
6. マジック・ゼロ命令
7. 可変データ速度

##### 1. 一般

第1図（先行技術）を参照すると、公知のデータ処理システムが、メモリ・バス(4)を經由してメイン・メモリ(6)と通信している中央処理装置(2)を有するものとして表示されていることが分る。中央処理装置(2)は入力/出力バス又は

-19-

1142555-164958(6)

キャッシュ・バスに於て記憶制御装置(10)と通信している。データをディスク記憶装置から読み又は、その媒体に書き込みたいと望むとき中央処理装置(2)は通常の命令を送る。その命令は記憶制御装置(10)によってアドレスされる装置の固有の一種の命令で解釈される。この場合、記憶制御装置(10)は中央処理装置(2)からの命令をディスク制御装置(12)の内部でその命令で解釈する。記憶制御装置(10)はシステムCTLインタフェース(13)に於てディスク制御装置(12)と通信している。記憶制御装置(10)からの命令は解釈されかつディスク制御装置(12)によって実行されて、特定の情報がディスク制御インタフェース(15)を經由して、ディスク・ドライブ(14)へ書き込み又はディスク・ドライブ(14)から読み取られる。ハードウェア・インタフェース及びデータを包含先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に記されている。

第2図を参照すると、本発明のディスク・キャッシュ

-20-

システム・サブシステムが第1図に示される従来のサブシステムと類似していることが分る。しかしながら、ディスク・キャッシュ(16)は記憶装置系において、キャッシュCTLインタフェース(78)を經由してディスク制御装置(20)と通信行われている。實際上、ディスク・キャッシュ(16)はドライブ・コントローラ・ロジック(第6図の62)及びディスク制御装置(14)の間に位置している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして例示されるゆつくりした方の側の記憶と、メイン・メモリ(6)で例示される早い方の側の記憶との間の記憶系レベルを示している。ディスク・キャッシュ(16)はデータ・モジュールを処理するもので利用される内部情報を含む。このデータ・モジュールは実行行われたディスク制御装置(20)と実行行われたディスク・ドライブ(14)のストリングとによって分類されている。ここで使用するデータ・モジュールは通常プロファイルはいくつかの装置上の大まかなデータ単位に対する一般的用語である。

-21-

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と通信すると、ディスク・ドライブ(14)の回転速度に於て調整された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の入力/出力動作は、以下の可変データ速度の量で更に十分説明する先行技術のコンフィギュレーション及び図面で見得る転送速度よりもはるかに速い転送速度（これは、低下した「待ち時間」に相当する）で行なわれる。

CTLインタフェース(78)を經由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングとに接続されるように設けられたディスク・キャッシュ(16)を含む第2図のサブシステムにおいては、動作は一般に以下のように行なわれる。

データ要求動作については、CPU(2)はキャッシュ・バス(8)を經由して記憶制御装置(18)に於て、ディスク・ドライブ(14)上の一定のデータ・モジュールの入力/出力を要求する。記憶制御装置(18)はCPU(2)の要求をディスク・キャッシュ(16)に

-22-

よつて受容し得る一群の指令に指示する。第5図を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステムCTLインタフェイス(13)及びキャッシュCTLインタフェイス(78)を經由して記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュCTLインタフェイス(78)及びバス(15)を經由してディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを復元し、そしてディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(18)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特定の實施形態に応じて変化する。その順序は明らかにマイクロプログラムに保存されている。

- 23 -

かいては、中央処理装置(36)は通常の情報を含み入力/出力バス(15)を通してディスク・キャッシュ(16)と直接通信することができる。ディスク・キャッシュ(16)はその後ディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と通信する。

従つて、或る一般的な實施形態においてディスク・キャッシュは一定の速度の下で復元通信することができないような高速度で入力/出力サブシステムから情報を復元できるようにする入力/出力サブシステム構成内に挿入された、知的でディスク特有でかつ高速度なメモリである。

## 2. ディスク・キャッシュ・ハードウェア

ここで開示するディスク・キャッシュ・サブシステムは、ハードウェア及びソフトウェア技術を組合せて上述の望ましい目的を達成する装置である。この装置の特定の實施形態については多くの形態がある(この場合は、ハードウェアである)が、好適であることが分つている第2図のディスク・キャッシュの實施形態については第5図に示して

- 23 -

114255-164958(7)

もし中央処理装置(2)が記憶基本情報を変更したい場合(即ち、「書き込み」動作)は、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で直接行われるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直接更新し、若しくは書き込むことができる(ディスク・キャッシュ・サブシステム操作の順序はマイクロプログラムに保存されている)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)に書き込まれる場合、その情報は永久に運用のディスク・ドライブ(14)に通常通れて転送される。

一定のデータ処理速度において、記憶制御装置を使用しなくてもよいこと、またその記憶制御装置の情報又は機能を中央処理装置内に設置できることも本発明の範囲内である。第4図を参照すると、ディスク・キャッシュ(16)がキャッシュCTLインタフェイス(78)を經由して通常のデータ制御バス(13)にそつて直接中央処理装置(36)と通信することも本発明の範囲内である。この實施形態

- 24 -

いる。ディスク・キャッシュ・サブシステムの主要なハードウェア構成要素は、インタフェイス・コントロール・ロジック(48)、ディスク・キャッシュ、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)、ロード/メモリ・マイクロプロセッサ(52)及びキャッシュ・メモリ(54)から成つていことが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)とディスク制御装置(20)との間のインタフェイス(48)である。キャッシュCTLインタフェイスはディスク・キャッシュ・サブシステムのアドレスデコード機能をも図に示されるディスク制御装置に提供する機能を受す。この制御装置は、メモリアドレス公開 367121-03 で一般に定められるメモリアドレス 3673 ディスク制御装置のようなものでもある。第6図に示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインタフェイス(58)の付加によつてディスク制御装置のCTLインタフェイス内に取付けられるよう

- 25 -



に提供されている。ここで、インタフェイス(58)がストリング・スイッチ(68)の他のシステム・CTLインタフェイス(13)と、ドライブ・コントローラ・ロジック(15)との間を位置していること注目すべきである。CTLライン(64)はストリング・スイッチ(68)とキャッシュ・インタフェイス(58)に接続し、CTLライン(34)はドライブ・コントローラ・ロジック(62)とキャッシュ・インタフェイス(58)に接続する。上述の特定の装置構成においては、メモリーバス3673ディスク制御装置がメモリーバス公称3673.21.03で記憶されているようにストリング・スイッチ(68)を備えることが必要である。キャッシュ・インタフェイス(58)は、CTLインタフェイスによって要求されるデータ・バス及びコントロール・ラインを提供する。キャッシュ・コントロール・ライン(70)によって、ディスク・キャッシュ・サブシステムはディスク制御装置内のストリング・スイッチを制御する。CTLインタフェイスへの十分なアクセスはシステムCTLライン(72)によってディスク・キャッシュから提供される。

-27-

(1) 図6のキャッシュCTLインタフェイス(70)からのコントロール及びデータ転送指令に対する応答。

(2) 図5図及び図7図(以下で記述)のキャッシュ・メモリー(54)内にある利用可能なデータのアドレストリの維持。

(3) 読み要求されると思われるディスク・ドライブ・データによるキャッシュ・メモリー(54)の制御及び冗損(以下で記述する)。

(4) エラー検出及びリカバリ動作、及び

(5) 記憶データのロード/セクタ・マイクログロセッサ(52)への送達。

がある。

ディスク・キャッシュ・サブシステムの図をしい装置例に示す図3のハードウェア構成は、図5図に示すロード/セクタ・マイクログロセッサ(52)である。前記ロード/セクタ・マイクログロセッサ(52)のため、インテル8080Aマイクログロセッサを採用することが適切であることが判明している。前記インテル8080Aは価格200万

-28-

円(約35-164958(8))

円とキャッシュCTLライン(74)によってディスク・キャッシュから提供される。

ディスク・キャッシュ(16)の第2の主要なハードウェア構成要素は図5図(より詳しくは図7図)のディスク・キャッシュ・コントロール・マイクログロセッサ(50)である。特定の装置構成において、図7図のマイクログロセッサ(76)として、1秒あたり4000000の命令の処理速度を有する高速ビット・スライス・マイクログロセッサを使用することが好適であると分つた。この特定の装置構成に対しては、LSIプロセッサ・チップコアDパーンズド・マイクロ・デバイス2900ファミリ(Advanced Micro Devices 2900)から製造した市販のマイクログロセッサを使用することが好適であることが分つた。しかしながら、多くのプロセッサの設計は、ディスク・キャッシュ・システムを扱うことのできるディスク・キャッシュ・サブシステムの特定の範囲内である。ディスク・キャッシュ・コントロール・マイクログロセッサ(50)の基本タスクは、

-29-

タイトルの中で動作する完全な8ビットの中央処理装置である。

前記インテル・マイクロ・プロセッサの代り採用いることが出来、他の利用可能な他のマイクログロセッサも存在する。前記ロード/セクタ・マイクログロセッサ(52)の基本的作達は、(1)フレイミング・ディスク・ドライブ(84)(後述する)より得られたコントロール・メモリー・インフォメーションの監視制御と、(2)前記ディスク・キャッシュ・サブシステムの初期セクタ動作を行うことである。

図5図に示された前記ディスク・キャッシュ・サブシステムの装置の主要なハードウェア構成要素は前記キャッシュ・メモリー(54)である。前記ディスク・キャッシュの図をしい装置例において、前記キャッシュ・メモリー(54)は2つの記憶の半体メモリーで構成されている。半体メモリーの第1の記憶は、図7図に示されているフル・トラック・バッファ(86)である。本装置の理解から必ずしも規定されるものではないが、2つの記憶の

-30-

半導体は、キャッシュ・メモリ(54)から構成されており、また同じく、本発明の記憶から必ずしも規定されるものではないが、ディスク・キャッシュ(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前記ディスク・キャッシュのハードウェアをそのように構成することが可能であるということが判明している。

このように、第1の記憶の半導体メモリ、即ち前記フル・トラック・バッファ(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを包含しており、第2のステータス又はダイナミックなランダム・アクセス・メモリ・サブから構成することが出来る。前記フル・トラック・バッファ(86)はインテル2147又はインテル2117の角状回路から構成されるのが普通であるということが判明している。第2の記憶のキャッシュ・メモリ(54)は普通回路で構成されており、電荷移動素子(CMOS)は前記キャッシュ・メモリ(54)の送達系用として採用され居る。

-31-

のレジスタとキャッシュCTLインターフェイス(78)のための制御信号を包含する2つのインターフェイス・コントロール回路機能  
記憶制御：記憶要求レジスタと、キャッシュ・メモリ(54)と記憶ユニット・ダイレクト・メモリ・アクセス90 98  
：制御ユニット(18)の間のデータ転送制御のためのアドレスとワードの計算値を包含する典型的なDMA(ダイレクト・メモリ・アクセス)ポートデータ・バッファとして用いられる2つの16ビットEIO FIFO (FIRST IN FIRST OUT) キャッシュ・コントロール・マイクログロセファ・メモリ  
送込不可制御記憶装置 100: キャッシュ・コントロール・マイクログロセファ(76)のコントロール・メモリとして利用される4K×40ビットのインテル2147スタックRAMメモリ  
オンライン レジスタ 102: コントロール・レジスタで、そのビットがオペレータ・パネル(104)からのオンライン・スライフトによって

-33-

!!2255-164958(9)

時刻の電圧内において、12メガバイトまでの電荷移動素子が、フロッピーディスク404の電荷移動素子を用いた型に適用されて来た。(各装置は最高64,000ビットの情報を記憶することが出来る。)更に、前記キャッシュ・メモリ(54)は電圧2つの記憶のメモリ・メモリ増幅回路のディスク・キャッシュ・サブシステムであり、その中において記憶の第1の水準は前記ディスク記憶装置(14)であり、その次のメモリの2つの記憶に送達した半導体メモリである。以下に述べた通り、前記キャッシュ・メモリ(54)の構成は、各コンピューター・システムによって要求される場所が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)第7及び第7の図を参照すれば、ディスク・キャッシュ(16)の主要なハードウェア構成要素のより詳細な説明が得る。第7及び第7の図の記憶を構成するための以下の説明が有益である。インターフェイス 90: 情報バスを発生させる

-32-

て設定されるもの

キャッシュ・コントロール・マイクログロセファ(76)はいかなるドライブがキャッシュされるべきかを決定するための、このレジスタを構成する。

オペレータ・パネル 104: 入力スイッチと各ドライブのためのキャッシュ可能スイッチを包含している。

ドライブ・ダイレクト・メモリ・アクセス 94: 記憶要求レジスタと、キャッシュ・メモリ(54)とディスクドライブ(14)の間のデータ転送を制御するためのアドレスとワードの計算値を包含する典型的なDMA(ダイレクト・メモリ・アクセス)ポート

キャッシュ・コントロール・マイクログロセファ 76: AMD 2900 ファミリのLSIプロセファ・サブを利用した毎秒400万命令を処理するビット・スライス・マイクログロセファ  
ロード/メモリマイクログロセファ 02: 本発明の記憶装置としてインテル6080 A 単一サブ

-34-

CPUを有するマイクロプロセッサ  
2メガヘルツで作動し、記憶制御のための2K  
×8のEPROMを有する。  
スタラフタ・パッド 96: キャパシタ・コント  
ロール・マイクロプロセッサ(76)を支持するた  
めの8K×16のスタティックRAMメモリ  
スタラフタ・パッド: ロード/メモリ・マイクロ  
プロセッサ(82)との交信のための  
フレイミングダイスタ・ドライブ 84: マイクロ  
プログラム・ロードのために用いられるフレ  
イミング・ダイスタ・ドライブ  
標準型のメモリアドレス550番を利用可。  
エラー・コレクシヨン・コード 106 (ECC): 単一  
ビット・エラー・コレクシヨン及び二重ビッ  
ト・エラー・コレクシヨンに用いられるエ  
ラー・コレクシヨン・コード  
フル・トラフタ・パッド 86: インテル2147ナ  
ンブを使用した4K×40ビット(ECCを含む)  
のスタティックRAMメモリ

-33-

B-バス 144: フル・トラフタ・パッド(86)に  
よりアドレス・ECCロジック(106)に使用さ  
れるトライスタート・データ・バス  
メモリ・アドレス・バス 148: キャパシタ・コン  
トロール・マイクロプロセッサ(76)によりア  
ドレス・書込み可能制御記憶(100)に使用さ  
れるメモリ・アドレス・バス  
パイプライン: パイプライン・インストラクシ  
ョン・バスでそれにより、  
バス 150: キャパシタ・コントロール・マイク  
ロプロセッサ(76)が書き込み可能制御記憶(100)  
から、そのマイクロインストラクシオンを得  
て、スタラフタ・パッド(96)と交信するパイ  
プライン・インストラクシオン・バス  
キャパシタ・バス・イン 150: 8ビットの'バス  
・イン'データ・バス(8 Bit 'bus-in'  
Data Bus)これはキャパシタからシステム  
SCUへデータを転送するためのシステムCTL  
ライン72データ・バス・イン'である。  
バス・イン 152: 8ビットの'バス・イン'データ・

-34-

114555-164958(02)  
電解誘導電子メモリ 88: フェアチャイルド100  
を用いた1乃至12メガバイトのCCDメモリ  
基本データバス 108: SCU又はドライブDMAポー  
トとフル・トラフタ・パッド(86)の間のデ  
ータ転送のための二方向データ・バス  
基本アドレス・バス 110: SCU DMA (92)又はドラ  
イブDMA (94)からフル・トラフタ・パッド  
(86)へ転送されるトライ・スタート・メモリ  
・アドレス  
C-バス 138: フル・トラフタ・パッド(86)と  
CCDメモリ(88)の間のデータ転送のための二  
方向データ・バス  
C-バス 140: キャパシタ・コントロール・マイ  
クロプロセッサ(76)に利用される全ての外部  
ポートのためのトライスタート・ソース・バ  
ス  
Y-バス 142: キャパシタ・コントロール・マイ  
クロプロセッサ(76)に利用される全ての外部  
ポートのためのトライスタート・デスティネ  
ーション・バス

-35-

バス(8 bit 'bus-in' data bus)これは  
ダイスタ・ドライブからキャパシタ・メモリ  
へデータを転送するための用いられるキャ  
パシタ・CTLライン74データ・バス・イン'  
バス・アウト 156: 8ビット'バス・アウト'即  
ちデータ転送及びシステムSCU(16)からダイ  
スタ・キャパシタ(16)への制御命令データ  
のために用いられるシステムCTLライン72'バ  
ス・アウト'  
キャパシタ・バス・アウト 158: 8ビット'バス  
・アウト'、即ち、ダイスタ・キャパシタ(16)  
がダイスタ・ドライブ(14)を制御する際、デ  
ータと制御命令のために用いられるキャ  
パシタCTLライン74'バス・アウト'  
CTLライン 160: インターフェイス90ロジック  
において規定するCTLインターフェイス制御  
ライン  
キャパシタ・コントロール・ライン 70: 電圧の  
インターフェイス・コマンドライン・バ  
スを選択するための電圧6個のインターフェイス

-36-

リス(58)のマルチプレクサーの切換を制御する  
ためのインターフェイス・ロジック内でマ  
ヤンシム・コントロール・マイクロプロセッ  
サ(76)により発生せしめられる一連の制御信  
号

BC<sub>1xx</sub> : 第70図式において、BC<sub>1xx</sub>として示され  
る全ての値は、バス又はコントロール・コ  
ミュニケーション・バースが存在していること  
を示しているが、ここでは明確には定義しな  
い。

本説明を更によく説明するため、第6、第7  
及び第70図は、第3図式示すように配置され  
る。

第70及び第70図式図し、マイクロプロセッ  
サ(76)はダイスタ・マヤンシム(16)の制御信号  
源である。マイクロプロセッサ(76)は、トライ  
スタートの16ビットのデータ・バス(140)を結  
合して全てのエクステナル・データを受け入れ、  
16ビットのトライスタート・アクト・プット・  
データ・バス(142)を結合して全てのエクステ

-39-

サ(76)はメモリ・アドレス・バス(146)を結合し  
て書き込み可能制御信号(100)をアドレスする。ス  
クラフタ・パッド(96)は、その時点においてマ  
ヤンシム・メモリ(54)の中にある一連のデ  
イスタ・ドライブ・トラフタ・アドレスを記憶す  
るため、主マイクロプロセッサ(76)により使用  
される。スクラフタ・パッド(96)に記憶されてい  
る前記トラフタ・リスト・アドレスは、マヤンシ  
ム・メモリ(54)内のデータがアクセスされるの  
に応じて、使用されマイクロプロセッサ(76)により  
ダイナミックに新しくされる。

マイクロプロセッサ(76)はスクラフタ・パッド  
(96)をアクセスするためD<sub>0</sub>-バス(140)とY-  
バス(142)を用いる。従って、前記図式あるダイ  
スタ・マヤンシム・コントロールデータは、ダイ  
スタ・マヤンシム・マイクロプログラム(後述す)  
により規定されるスクラフタ・パッド(96)内に  
記憶される。マイクロプロセッサ(76)はまた、前  
述ストリング上のどのダイスタ・ドライブ(14)  
が「マヤンシム」を受けやすいかを決定して、マ

-41-

ナル・ポートへ書き込む。上記の如く、マヤンシ  
ム・マヤンシム・サブシステムは通常動作の一  
つはデータ伝送と第2番のシステム記憶制御ユニ  
ット(18)から、マヤンシムCTLインターフェイス(78;  
を結合して受け入れられる制御指令に依存するこ  
とである。前記マヤンシム・コントロール・マ  
クロプロセッサ(50)は、インターフェイス・コント  
ロール・ロジック(40)から制御前記マヤンシム  
CTLインターフェイス(78)までから受け入れたメ  
システム指令を要求する。マヤンシム・コントロー  
ル・マイクロプロセッサ(50)は、インターフェイス  
・コントロール・ロジック(40)の中の前記制御  
信号適切な信号をセフトすることにより指令に  
答える。これらの指令は、さらに、先述図式に  
規定されているCTLインターフェイス信号により要求  
されて、マヤンシムCTLインターフェイス(70)へ  
ポートされる。

マイクロプロセッサ(76)は、書き込み可能制御  
信号(100)からパイプライン・バス(140)を介  
してマイクロ指令を受け入れる。マイクロプロセ

-40-

ンライン・レジスタ(102)の中記その情報を保存  
する。前記記憶制御ユニット・ダイレクト・メモ  
リ・アクセス(92)とドライブ・ダイレクト・メモ  
リ・アクセス(94)は前記フル・トラフタ・パン  
ファ(86)と前記システム記憶制御ユニット(18)とデ  
イスタ・ドライブ(14)の各々の間のデータ伝送の  
ために用いられる。前記ダイレクト・メモリ・ア  
クセス・ポートはD<sub>0</sub>-バス(140)とY<sub>0</sub>-バス(142)  
を結合して、マイクロプロセッサ(76)によりプロ  
グラムされ、要求される。

フル・トラフタ・パンファ(86)は、前記基本ア  
ドレス・バス(110)を結合してアドレスされ、そ  
の内容は、基本データ・バス(108)を結合してハ  
ブのダイレクト・メモリ・アクセス・ポート  
へ向け、又はそこから伝送される。

フル・トラフタ・パンファ(86)とCCDメモリ(88)  
は両者のエラー検見及び訂正ロジック(106)を共  
有している。フル・トラフタ・パンファ(86)とCC  
メモリ(88)の間のデータ伝送は、前記図式において  
マイクロプロセッサ(76)により制御される2方向

-42-

こ・バス (183) を経由するダイレクト・メモリ・アクセスタイプの作動として知られているものになっている。更に、キャッシュ・コントロール・マイクロプロセッサ (50) は、Y・バス (142) 経由の周辺装置送受メモリの中にも含まれる周辺ダイレクト・メモリ・アクセス・レジスタをプログラムする。

### 3. ディスクキャッシュ動作ハードウェア方式

ディスク・キャッシュの概念を多数の構成要素で表現することは可能であるが、特に関連したものとして知られた構成要素は公開の IBM システムのチャネル制御装置と同等するものである。第 1 図において、記憶制御装置 (18) はシステム CTL インタフェイス (15) を通じてディスク制御装置 (20) に接続される。ディスク制御装置 (20) はキャッシュ CTL インタフェイス (78) を通じてディスク・キャッシュ (16) に接続される。ディスク制御装置 (20) はインタフェイス (15) を通じてディスク駆動装置 (14) に接続される。簡略化するため、インタフェイス (15)、(78) はディスク制御装置 (20)

- 63 -

ディスク制御装置 (20) からインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送される。タグ・ゼロ命令はディスク・キャッシュ (16) からインタフェイス (78) を通じてディスク制御装置 (20) に伝送される。このインタフェイス (78) を通じて記憶制御装置 (18) に伝送される。このように、タグ・ゼロ命令は、タグ・ゼロ命令を置くすべてのタグ命令がディスク駆動装置 (14) に伝送されるが、ディスク制御装置 (20) がタグ・ゼロ命令をインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送するハードウェア方式として理解される。タグ・ゼロ命令はディスク・キャッシュ (16) からインタフェイス (78) を通じてディスク制御装置 (20) に伝送されるとともにインタフェイス (15) を通じて記憶制御装置 (18) に伝送されるから、タグ・ゼロ命令はタグ・ゼロ命令がディスク・キャッシュに伝送されることを除いては、タグ命令が本装置のディスク・システムにおいて従来の方式と同様に動作するハードウェア方式として理解される。

- 64 -

1104635-164958(2)

内の点 610 で相互に接続されるように示される。点 610 は硬質電線接続体ではなく、むしろ伝導されるように、ハードウェア動作モードに従って変化する態様体である。

ディスク・キャッシュ (16) を動作するのには本装置のハードウェア動作モードがあり、これは本発明を適用する場合に適した記憶制御装置 (18) からの指令によって決定される。すなわち、

#### (1) タグ・ゼロモード

第 1 図に示されるタグ・ゼロモードにおいて、タグ・ゼロ命令を置くすべてのタグ命令（以下に記述される文節の範囲では本装置のタグ・ゼロ命令と称す）は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に、またバス (15) を通じてディスク・ドライブ (14) に伝送される。タグ・ゼロ命令を置くすべての命令に対して、ディスク・キャッシュ (16) は硬質ストリング上に存在しない。しかしながら、タグ・ゼロ命令は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に伝送されるけれども、デ

- 65 -

#### (2) 記憶制御装置 (SCU) モード

ディスク・キャッシュ (16) が SCU モード（第 1 図）の場合は、すべてのタグ命令は記憶制御装置 (18) からインタフェイス (15) を通じてディスク制御装置 (20) に、またインタフェイス (78) を通じてディスク・キャッシュ (16) に伝送される。このディスク・キャッシュ (16) はマイクロプログラムの「アクセス」スタートにある（前述のソフトウェアの記述参照）。SCU モードにおいては、記憶制御装置 (18) とディスク駆動装置 (14) との間との間の通信伝送は不可能である。これはディスク・キャッシュ (16) の基本動作方式である。

#### (3) 制御モード

このハードウェアモードにおいては、第 1 図に示されるディスク・キャッシュ (16) がディスク制御装置 (20) 及びディスク駆動装置 (14) にそれぞれインタフェイス (78)、(15) を通じて直接に接続される。このモードでは、記憶制御装置 (18) はディスク制御装置 (20) に対して「不適」状態である。これは記憶制御装置 (18) とディスク制御装置 (20) との間でのインタ

- 66 -

エイム(13)は監視作用を成さないことを意味する。  
 ディスタ・キャプシュ(16)はディスタ・ストリン  
 グ・サブシステムの制御を事実上奪取して該サブ  
 システムの動作を制御する。

#### (4) 置換コード

第12図に示される置換コードは記憶制御部  
 置(18)とディスタ制御部置(14)との間をディスタ  
 制御部置(20)を介してそれぞれのインタフェイス  
 (15)、(15)により置換コードを送達させるハードウ  
 エアコードである。この置換コードでは、インタ  
 フェイス(78)を通じてディスタ・キャプシュ(16)  
 にタグ指令は全く伝達されない。このディスタ・  
 キャプシュとディスタ記憶ストリング・サブシス  
 テムとは事実上置換されず、但サブシステムはデ  
 イスタ・キャプシュ(16)が制御されているかのよ  
 うに振舞う。

前述されたようなハードウェアの置換コード  
 は一体的に作用し、キャプシュ制御マイクロプロ  
 セッサ(50)中にあるサブシステム・マイクロプロ  
 グラムの制御を受ける。後記の「ディスタ・キャ

-67-

の置ししいマイクロプログラム・スタートが例示  
 される。すなわち(1)待ちスタート(400)、(2)選択  
 スタート(414)、(3)アクティブ・スタート(424)  
 及び(4)パンプ・スタート(432)。

待ちスタート(400)において、ディスタ・キャ  
 プシュ及びディスタ・サブシステム全体は記憶制  
 御部置(18)とディスタ制御部置(20)との間のシス  
 テムCTLインタフェイス(15)が停止していること  
 によつて証明されるような「停止」コンディショ  
 ンにある。第13図に示されるように、待ちス  
 タート(400)はCTLインタフェイス(78)の選択機  
 構部から始まる連続プログラミングループ  
 と形成される。上記選択機構が正しい、すなわち  
 「00」コンディション(402)にあるならば、マイ  
 クロプログラムは「定常タイムアウト」(404)に  
 入る動作を開始する。もし、ディスタ・キャプ  
 シュ・サブシステムが「停止」コンディションに  
 止まつて定常タイムアウトが作用して「700」コン  
 ディション(406)にあるならば、ディスタ・キャ  
 プシュ・サブシステムは定常部置(408)のコード

-68-

110455-164958(13)

フシュ・サブシステム・ソフトウェア」のコードに  
 置されるように、通常のタグ・ゼロ命令が記憶制  
 御部置(18)によつて処理されることにより、マイ  
 クロプログラムが後述のマイクロプログラム状態  
 から置換してサブシステムのハードウェア置換キ  
 ードで置換する。

#### 4. ディスタ・キャプシュ・サブシステム・ソフ トウェア

この説明によるディスタ・キャプシュの概念は理  
 想の方式で実現される。特に通した実施例では、  
 前述のハードウェアはマイクロプロセッサ(76)に  
 よつて指定される書込み可能の制御記憶部(100)  
 にディスタ制御部置(84)に送られるマイクロプロ  
 グラムと関連して作用する。この説明の好適実施  
 例におけるマイクロプログラムにおいては、所望  
 の置換部置のソフトウェア・コンディションを示  
 す4進の「スタート」を作用する。ここで「ステ  
 ート」とは外部入力力によつて置換することがな  
 ればマイクロプログラムのコンディションが置換  
 しないことを意味する。第13図において、4進

-69-

に入り、ここでディスタ・キャプシュの内部「ハ  
 クス・キャビン」部置が作用する。定常部置(410)  
 が完了すると、マイクロプログラムは待ちス  
 タート(400)に復帰し、第6図に示されるシステムCTL  
 インタフェイス(15)上の選択機構状態を再び監視  
 し制御する。定常部置(408)はマイクロプログラ  
 ムが「定常」コンディションに入る「スタート」  
 ではない。すなわち、定常部置(408)はプログラ  
 ミングが完了後コンディションに向つて進みか  
 つ待ちスタート(400)に復帰する作用を過ぎない。  
 定常部置は前述のハードウェア置換コードに類似  
 のマイクロコードの作用であり、待ちスタート  
 (400)はハードウェア・タグ・ゼロ・コードとし  
 て理解される。

選択機構が待ちスタートの間に入ることによつて  
 「700」スタート(412)になると、ディスタ・キャ  
 プシュ・マイクロプログラムは「選択」スタート  
 (414)に入る。「選択」スタート(414)は選択機  
 構部が高いスタート、すなわち記憶制御部置が選  
 択機構に置換されたすべてのストリングにその中

-70-

の1歩を「選択」することを通告するスタートとして  
 定義される。選択スタート(414)の時は選択  
 状態のコンディションが監視される。選択状態  
 が「近い」スタートに近づく時は、選択状態は「イ  
 ンアクティブ」スタートとなり、第13図に示さ  
 れる「yes」(416)のスタートによってディスク・  
 キャッシュ・マイクロプログラムは待ちスタート  
 (400)に復帰する。もし、選択状態が「近い」  
 スタート、すなわちインアクティブ・スタート  
 (418)のままである時は、マイクロプログラムは  
 ステップ・ゼロ指令が第6図のキャッシュCTLインテ  
 ラフェイス(78)上にある0を監視する。ステップ・ゼロ「ア  
 クティブ」指令を受信しない(420)ならば、マイ  
 クロプログラムは、「選択」状態が「インアクテ  
 イブ」スタートすなわちマイクロプログラムが待  
 ちスタート(400)に復帰するスタートに近づくので  
 なければ「選択」スタートに停止する。もし、ス  
 テップ・ゼロ監視指令を受信する(422)ならば、マイ  
 クロプログラムは「アクティブ」スタート(424)  
 に入る。選択スタート(414)は待ちスタート(400)

-51-

の場合のように入力ウェア・ステップ・ゼロ・セ  
 ドである。

「アクティブ」スタート(424)は、記憶制御  
 部(18)がすでに特定の記憶制御部(20)を通して  
 いるマイクロプログラム・コンディションとして  
 定義される。上記記憶制御部(20)及びディスク・ス  
 トリッジ・サブシステムにディスク・キャッシュ  
 (16)が接続されるならば、ステップ・ゼロ「アクテ  
 イブ」指令によってディスク・キャッシュ・マイ  
 クロプログラムは「待機」される。「アクティブ」  
 スタート(424)において、ディスク・キャッシュ  
 は記憶制御部(18)及び記憶制御部内のアーキテク  
 チャによって決定するすべての命令を地上及び人に  
 受信する。これは「キャッシュ」スタートと称し  
 てもよく、主キャッシュ操作スタートとして理解  
 されよう。ハードウェアにおいては、前述され  
 ている「記憶制御部ワード」である。「アクテ  
 イブ」スタート(424)の時は、ステップ・ゼロ「パ  
 ンシブ」指令(425)がディスク・キャッシュ・マイ  
 クロプログラム(426)によって受信されない時は、

-52-

ディスク・キャッシュはディスク・キャッシュ指  
 令(428)を実行する。第13図に示されるよう  
 なディスク・キャッシュ指令(428)の実行は「ス  
 タート」ではなく、正しくは機能を執行するマイ  
 クロプログラムのコンディションであり、完了後  
 は、マイクロプログラムは「アクティブ」スター  
 ト(424)に復帰する。キャッシュ指令の執行はハ  
 ードウェアにおいては「記憶制御部ワード」と  
 考えられる。「アクティブ」スタート(424)の時  
 は、ステップ・ゼロ「パンシブ」指令が受信される  
 (430)時は、マイクロプログラムは「パンシブ」  
 スタート(432)に入る。

「パンシブ」スタート(432)は、記憶制御部  
 (18)がディスク記憶部(14)と記憶制御部(20)と  
 間のマイクロプログラム・コンディションとして定  
 義される。このコンディションは、ディスク・カ  
 ャッシュがすべての命令を受信し、記憶制御部  
 (18)とディスク記憶部(14)との間で記憶制御部  
 への通信がない「アクティブ」スタート(424)と  
 区別されることと定義される。 「パンシブ」ス

-53-

タート(432)の間、記憶制御部(18)は  
 受信時にステップ・ゼロ指令を発生させてディスク・  
 キャッシュ・マイクロプログラムを「パンシブ」  
 スタートとし、記憶制御部(18)とディスク記憶  
 部との間の通信を監視して記憶制御部(18)に  
 「パンシブ」指令(430)。「パンシブ」スター  
 ト(432)において、ディスク・キャッシュ(16)は  
 ステップ・ゼロ指令を監視する(ハードウェア・ス  
 テップ・ゼロワード)。ステップ・ゼロ「アクテ  
 イブ」指令が第13図に「yes」(434)で指示される  
 ように受信されるならば、ディスク・キャッシュ(16)は「ア  
 クティブ」スタート(424)に復帰する。ステップ・  
 ゼロ「アクティブ」指令(437)が「パンシブ」スター  
 ト(432)の時に受信されるならば前述の選択状態  
 の状態が監視される。もし、選択状態が「パン  
 シブ」スタートの間「アクティブ」すなわちyes  
 (439)に近づくならば、ディスク・キャッシュ・マ  
 イクロプログラムはステップ・ゼロ「アクティブ」指  
 令を受信しうる状態になる。状態ステップ・ゼロ「ア  
 クティブ」指令が受信(すなわちyes(434))される

-54-

と、ディスク・キャッシュ(16)に「アクティブ」スタート(424)を記憶する。選択制御部が「通い」すなわち 20(440)に達するとディスク・キャッシュは元帰処理(442)を行なう。

「バンプ」スタート(432)は前述されたハードウェアリダゼロモードであるが、元帰処理(442)はハードウェアリダモードである。元帰処理(442)の間、ディスク・キャッシュ(16)はディスク記憶装置のストリングを制御して、通電ディスク(14)にのみ存在しうる情報をフルトラック・バッファ(86)に元帰する。元帰処理(442)の間、フルトラックの情報はディスク記憶装置(14)からフルトラック・バッファ(86)に転送される。フルトラック・バッファ(86)に転送されるべきトラックは最も新しく要求されたものであるから、該トラックは第 70 面のスタラフタ・パッド・メモリ(96)にある記憶管理テーブルに前記トラックの状態を記憶する。さらに、このトラックテーブル・エントリは前記メモリ中で、ディスク装置の面、シリンダの位置及びヘッドアドレスに前してフルトラック・

-33-

114555-162958  
タ・バッファ(86)に代入され、ランクに送送される。元帰処理(442)の間、マイクロプログラムは待ちスタート(400)に達して、再び選択制御部の状態を監視する。「ハードウェア」に代わって、元帰処理(442)が開始されるとディスク・キャッシュはディスク・ストリング・サブシステムを制御する。元帰処理(442)の間、記憶制御部(18)はディスク・ストリングと通信を絶えず、「ストリング不通」コンディションがストリングに検出された記憶制御部に対して存在する。

従つて、ハードウェアとディスク・キャッシュ・サブシステムのマイクロプログラムとは一互の以下のように応答することが要求される。

時間 T<sub>0</sub> : 選択制御「アクティブ」がディスク・キャッシュ(16)に二つに記憶制御部(18)から受取られる。

時間 T<sub>1</sub> : リダゼロ指令が記憶制御部(18)から受取られる。

時間 T<sub>2</sub> : キャッシュ・マイクロプログラムは

-34-

(必要に応じて)スタートを記憶させる。

時間 T<sub>3</sub> : キャッシュはハードウェアが方式を記憶することを要求する。

時間 T<sub>4</sub> : 記憶が実行される(マイクロプログラムは新スタートであり、ハードウェアは新モードである)。

時間 T<sub>5</sub> : 処理は第 13 面に指示されるように必要に応じて進行する。

この発明のディスク・キャッシュ・サブシステムを構成する共通した要素は誤り訂正装置そのもののプログラミング修正機能を含有して動作性を高めている。マイクロプログラムに對する最適な補正機能は製造されることと第 13 面に指示されてゐる。

### 5. 記憶管理

ディスク・キャッシュ・サブシステムはキャッシュ記憶装置を管理する元のモードである第 70 面のスタラフタ・パッド(96)内にあるテーブルを使用する。本発明では、目的を達成する元のモードの

-35-

インプリメンテーションが可能であるが、通ましいディスク・キャッシュ装置内で模式的記憶管理を管理することが通しているものと知られた。キャッシュ・メモリ(54)内にあるデータレジスタは任意の面の情報記憶から形成されるものでも、通ましい実施例においては CCD 記憶装置(88)はフルトラックの情報を記憶し、この情報はシリンダ 3670 及び 3675 のディスク記憶装置の場合には 13030 個の情報バイトに達する。各データトラックはディスク記憶装置(14)から移入される。CCD 記憶装置(88)及びフルトラック・バッファ(86)内に記憶されるデータトラックは該データの管理に對する必要に応じて作られたマイクロプログラム(76)に使用されるテーブル中に前記エントリを有する。

ディスク・キャッシュ・スタラフタパッド(96)は 3 面の模式的記憶管理テーブル、すなわちダイナミック・テーブル、トラック・リンク・テーブル及びからの記憶管理リストを管理する。上記ダイナミック・テーブルはキャッシュ記憶

-36-



置 (54) の更新基準に従って自動的に更新される。この目的のため、公知の LRU 置法を使用することが有利である。上記トラフク・ロフク・テーブルは CDD 記憶装置 (88) 中キャッシュ記憶装置 (54) に「ロフク」される部分の元のパラメータを含む。この説明においては、トラフクをキャッシュ中に「ロフク」とするとは、データトラフクが上記ダイナミック・テーブルの場合のような無条件で置き換えられないことを意味する（すなわち、キャッシュ記憶装置 (54) 中に永久に存在する）。上記からの記憶装置のリストは CDD 記憶装置 (88) 内利用空間のトラフクを保持するテーブルである。からの記憶装置を指示するテーブルの内容は現在使用されておらず、従ってディスク記憶装置 (14) からのデータで充てられるべく利用される記憶装置である。

キャッシュ記憶装置 (54) 中に記憶されたすべてのデータトラフクはダイナミック・テーブル内の対応エントリを有し、各エントリは記憶装置のパラメータ又は項目を有する。2 個のパラメータ

-39-

112655-164958 (5)  
に上記テーブルをトラフクの置き換えの用途に用いる。置き換えの用途に達するにつれてリンクを断つ。データトラフクがキャッシュ記憶装置 (54) から要求される量と、このリンクに通過する項目が上記リストの項目と一致（すなわち置き換えられる）、リストの最後の項目は置き換えられたものとなる。他のパラメータはディスク記憶装置 (14) による特定のリンクアドレス、ヘッドアドレス及び磁気アドレスへのディスクトラフクに關する情報を含む。これらと一併に作用して、アドレス・ポイントがダイナミック・テーブルの項目を公知のリンク通過規則に従ってリンクを断つ。

キャッシュ記憶装置 (54) が充てられ、このデータトラフクをディスク記憶装置 (14) からキャッシュ記憶装置 (54) に充てる必要がある場合は、テーブルの最後の項目は置き換えられたデータトラフクは該テーブルからはずされ、ディスク記憶装置 (14) から直接充てられた新しいデータトラフクはテーブルの最初の項目と置き換えられ、置き換

-60-

たデータトラフクとなる。この置換は周知のもので、最近使用トラフクがキャッシュ記憶装置中にあるが最近使用のデータトラフクはキャッシュ記憶装置 (54) からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充てられた、すなわち同じディスク記憶装置アドレスを有するデータトラフクをリンクを断つリンク・ポイントを含む。これらのテーブルは、最近使用及び置き換えられたリンク・ポイントが更新される時に更新される。このようにして、特定のトラフクのキャッシュ記憶装置 (54) を指示する情報は、特定のトラフク用の記憶装置アドレスが特定のディスク記憶装置を指定することが知られているので簡略化される。かくして、最近使用トラフク及び置き換えられたトラフクのテーブルを、該テーブルが特定のディスク記憶装置によってリンクを断つれるならば、置き換えることになり簡略化される。初め、元々 1 個のディスク記憶装置が所定の時刻に内蔵されているならば、キャッシュ記憶装置 (54)

-61-

の全内容を置き換える必要があるけれども、1 個以上のディスク記憶装置が内蔵されているならば、置き換える必要がなくなる。

#### 6. シグナル・ゼロ命令

IBM 社の対応ディスク記憶装置サブシステムの特徴的な構成によれば、「シグナル・ゼロ」命令として知られているある種の命令が用いられ、これによって記憶装置 (18) はシステム CTL のインタフェース (13) に設けられる磁気制御装置 (20) に通じる。システム CTL インタフェース、シグナル・ゼロ命令、又はバス・イン・ライン、バス・アウト・ライン等の完全な定義はモレックス社の「ディスク記憶装置サブシステム操作説明」3673/3675/3670（出版番号 3673.21-02）を参照されたい。しかし、記憶装置の標準的な構成の中で、ディスク・キャッシュ (16) を含むディスク記憶装置サブシステムを制御し簡略化することはできない。ディスク・キャッシュの特定の構成を利用するためには、特定のシグナル・ゼロ命令を指定したり利用したりし、その命令が特定のよう

-62-

よつてマージング動作を行うよりむしろなければならぬ。タダ指令に選定の既知かへて用いることができないが、重要なことはディスク・キャッシュを付与するたの既知に選ばれたタダ指令が真実としたものでなく、かつディスク I/O システムの領域内に属したデータとしてデコードされた他のタダ指令と区別されないようにしておく必要がある。肝要しい要請としては、キャッシュ領域を制御するタダ指令としては、バス・アウトに可変値を有するタダ・デコード 00 (hex) を用いることが望ましいことが判明した。タダ・ゼロ指令を記憶領域 (16) からディスク・キャッシュ (16) が受けると、ディスク・キャッシュはディスク・サブシステムを制御し、上述のように必要な動作を遂行する。可能な IBM 社の入力/出力サブシステムの定義によれば、タダ・モード 00 は未使用の CTL タダ・アウト・バス (タダ・ビット 0, 3, 4, 5, 6, 7, 全て 0 に相当) で、これは CTL バス・アウトのラインに用いられる。

#### 可変データ選定

- 63 -

図の特性を知るには、まず先行状態が与えた情報を読み取る必要がある。図 14 を参照すると、先行状態による SYNC IN と SYNC OUT が記載されている。基本的なタイミング関係はエッジ (200)、(204) 間、エッジ (204)、(208) 間、及びエッジ (208)、(212) 間によって規定される。これらのパルス間の時間は均等で、通常ディスク・メモリ上にてターボ・エンコードされた情報によって直接形成されるクロッキング・パルスによって制御される。エッジ (200)、(201) 間、エッジ (204)、(205) 間、エッジ (204)、(209) 間、及びエッジ (212)、(213) 間の時間は第 1 通のディスク・ストランド制御 (12) 内のヘッドウェアによって制御される。SYNC IN パルス (203, 204, 206, 212) の先行エッジと SYNC OUT パルス (202, 206, 210, 214) の先行エッジ間の時間関係、及び SYNC IN パルス (210, 205, 209, 213) の後端エッジと SYNC OUT パルス (203, 207, 211, 215) の後端エッジ間の時間関係は記憶制御 (10) 内の CTL ケーブル・ディレーとヘッドウェア・ディレーによって

- 64 -

第 2 番に一般的に示し、ここに述べてきたように、ディスク・キャッシュ・サブシステムによつて、可変データ選定と称される動作の性質を定めることができる。可変データ選定による、キャッシュにデータセグメント自身の選定を施すことができ、従来のようにディスクに選定されたデータ選定を記憶してディスクに選定されたデータ選定を記憶することはない。ディスク・キャッシュ (16) の選定領域内には、フル・トラック制御が 7 に示すフル・トラック・パルス (80) 内に含まれ、記憶域を中央記憶域が必要として与えられ、ディスク・キャッシュ・サブシステムとキャッシュ間のデータ転送レートは一定データ選定である必要はなく、通常は従来のデータ選定選定によつては制御されることのない。キャッシュ CTL インタフェース (78) のデータ選定選定が一定である必要がないので、キャッシュの選定領域が異なることになる。

ディスク・キャッシュ (16) 内の可変データ選

- 65 -

つて制御される。SYNC OUT パルス ((202) と (203) 間の時間関係、(206) と (207) 間の時間関係、(210) と (211) 間の時間関係、及び (214) と (215) 間の時間関係) の先行エッジと後端エッジ間の時間は、記憶制御 (10) 内のヘッドウェア、及び SYNC IN 内のディレー・遅延時間によって制御される。

可変データ選定の概念を用いると、従来の SYNC IN と SYNC OUT の関係とは著しく異なる関係パルスが得られる。可変データ選定の概念を用いると、SYNC IN パルスの先行エッジは SYNC OUT パルスによって反動的な遅延関係を生じない。第 15 図を参照すると、位置 (216)、(220) 間、及び位置 (220)、(224) 間の時間はディスク・キャッシュ (16) のヘッドウェアの選定速度、及び電子制御によって制御されるものであり、ディスクに選定された選定速度によって制御されるものではない。エッジ (216)、(220) 間、及びエッジ (220)、(224) 間の時間は、公称の SYNC IN パルスの選定率として示される第 14 図のエッジ (200)、(204) 間、

- 66 -

エッジ (254)、(208) 間、及びエッジ (208)、(212) 間の時間よりも小であることと規定されたい。すなわち、可変データ速度の下での伝送速度は先行伝送の速度よりも速い。なぜなら、伝送速度はダイスタ・キャプシユ (16) の電子制御によって制御されるからであり、機械的な伝送速度によって制御されるものではないからである。

エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は SYNC OUT の後端エッジの電子制御によるキムタによって制御される。SYNC OUT の後端パルスのエッジ (227)、(231) が通過できればエッジ (224)、(228) 間、及びエッジ (228)、(232) 間の一時的関係が制御される。SYNC IN パルスのエッジ (228)、(232) は、SYNC OUT パルスの後端エッジ (227)、(231) が通過された後にかいてのみ発生する。SYNC OUT パルスの後端エッジ (227)、(231) は各先行エッジ (224)、(230) からかなり遅延して示されている。なぜなら、エッジ (227)、(231) は、内部伝送制御装置のデータ・パンプアップが他の CTL データ伝送に使用しないとき

- 67 -

114455-164958 (18)

に再び伝送制御装置のヘッドウェアによって送られるからである。内部伝送制御装置データ・パンプアップは、CTL データ伝送速度がチャネル・データ伝送速度を超えると使用できなくなる。従って、ダイスタ・キャプシユ・サブシステム機構における可変データ速度の例にこれらは、SYNC OUT パルスの先行エッジ (224) と後端エッジ (227) 間の時間、及び SYNC OUT パルスの先行エッジ (230) と後端エッジ (231) 間の時間は、チャネル・データ伝送速度が CTL データ伝送速度と同等か、それを超えるに要する時間を示す。従って、CTL データ伝送速度とチャネル伝送速度間には「同期」作用が存在する。データ伝送速度は「可変」である。従って、エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は、サブシステム・ハードウェア、ライン・ドライバとライン・レシーバを含む CTL ケーブル、及びダイスタ・キャプシユ・メモリと電子制御が生じた遅延時間から成る。先行伝送の遅延の場合と同様に、SYNC IN パルスの先行エッジと SYNC OUT パルスの先行エッジ間（すなわち、

- 68 -

位置 (214)、(218) 間、位置 (220)、(222) 間、位置 (224)、(226) 間、位置 (228)、(230) 間、及び位置 (232)、(234) 間) の時間は、CTL ケーブル・ダイレー、及び伝送制御装置のヘッドウェア・ダイレー、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行伝送の場合と同様に、SYNC IN と SYNC OUT の一時的関係、エッジ (217)、(219) 間の時間、エッジ (221)、(223) 間の時間、及びエッジ (233)、(235) 間の時間は同じく内部パンプアップ伝送制御装置ライン・ドライバ/ライン・レシーバのダイレーを利用してあるかをキムタするための伝送制御装置ヘッドウェア・ダイレー、及び CTL ケーブル・ダイレーを含む。先行伝送には見られなくて可変データ速度装置の特性をなすものは、チャネルのダイレーによってエッジ (225)、(227)、及びエッジ (229)、(231) 間が制御的に遅延されて伝送のバイトを伝送する（すなわち、内部伝送制御装置のデータ・パンプアップを使用し得るようになる）。位置 (214)、(217)、位置 (220)、(221)、

- 69 -

位置 (224)、(225)、位置 (228)、(229)、及び位置 (232)、(233) 間の時間は、良好な形態を具えかつ十分遅延時間を有するパルスを発生するよう設計されるダイスタ・キャプシユ (16) によって制御される。

従って、ここに示した可変データ速度にこれら、公知技術ではなし遅げられない遅延でデータセダイスタ・キャプシユ (16) とチャネル (8) 間で伝送し得ることが適用できよう。データ伝送速度は本質的にチャネル (8) のデータ速度によって制御される。

#### 4. 装置の簡単な説明

図 1 図は従来のコンピュータ・システムの略図であり、図 2 図はダイスタ・キャプシユ・システムを採用するコンピュータ・システムの略図であり、図 3 図は図 1 図、図 2 図及び図 7 図の略図を示す図であり、図 4 図はダイスタ・キャプシユを、伝送制御装置に採用しないコンピュータ・システムに適用した場合の例の簡易略図の略図であり、図 5 図はダイスタ・キャプシユの主要な

- 70 -

ードフニアモジュラ型の装置であり、第6図は、ディスク・キャッシュのディスク制御装置へのインタフェースの装置であり、第7図はディスク・キャッシュ・インタフェース・コントロール・ロジックの装置であり、第8図はキャッシュ・コントロール・マイクロプロセッサ、ロード/メモリ・マイクロプロセッサ及びキャッシュ・メモリの装置であり、第9図はディスク・キャッシュの構成されたハードウェア・コンフィギュレーションであり、第10図はハードウェア・コントロールに関するタフタ・ゼロ・モードの図であり、第11図はハードウェア・コントロールに関するSCUモードの図であり、第12図はハードウェア・コントロールに関するバス・スレー・モードの図であり、第13図はディスク・キャッシュのマイクロプログラムの流れ図であり、第14図は先行信号の SYNC IN / SYNC OUT パルスのパルス・トレイン図であり、及び第15図はディスク・キャッシュの可変データ

11図55-161958 図1  
 通電時動作する SYNC IN / SYNC OUT パルスのパルス・トレイン図である。

- 2, 36 ... 中央処理装置
- 10, 18 ... 記憶制御装置
- 12, 20 ... ディスク・制御装置
- 14 ... ディスク・ドライバ
- 16 ... ディスク・キャッシュ
- 52 ... ロード/メモリ・マイクロプロセッサ
- 58, 90 ... インタフェース

特許出願代理人  
 弁理士 山 崎 行 彦

-71-

-71-

図面の符号(内容に変更なし)

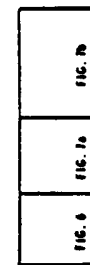
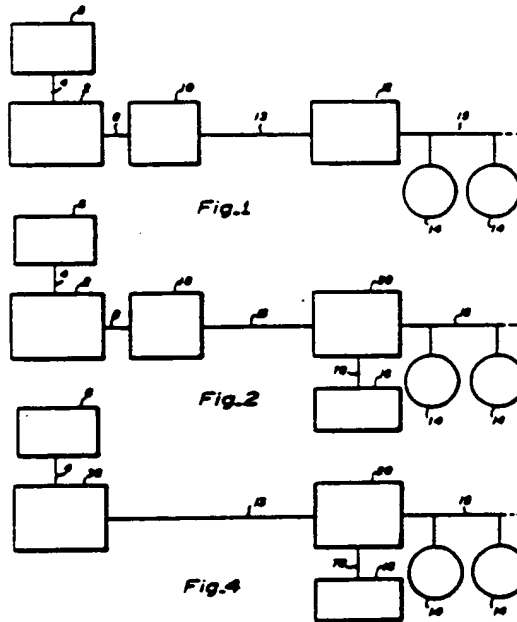


Fig. 3

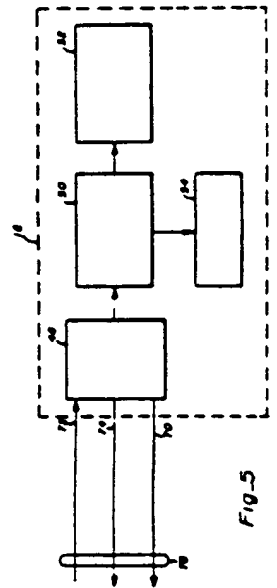


Fig. 5

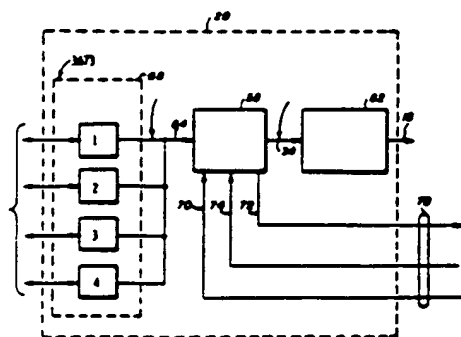


Fig. 6

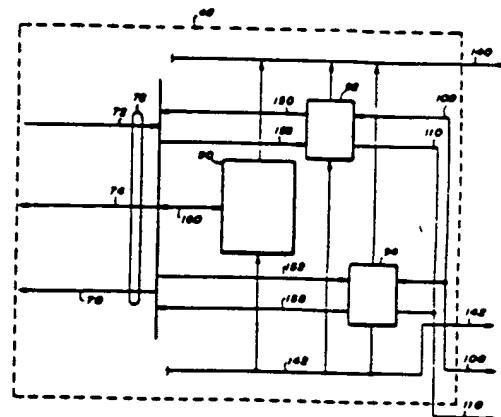


Fig. 7a

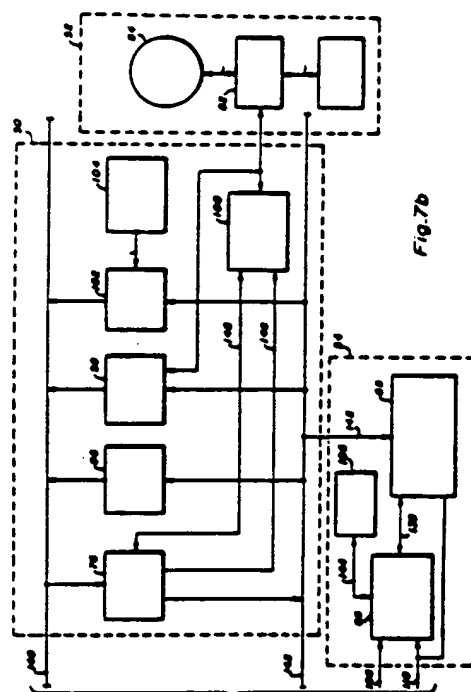


Fig. 7b

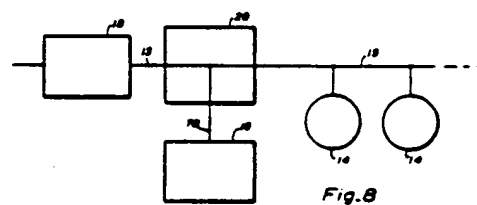


Fig. 8

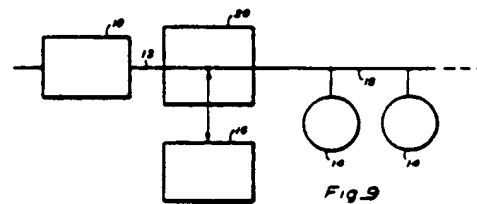


Fig. 9

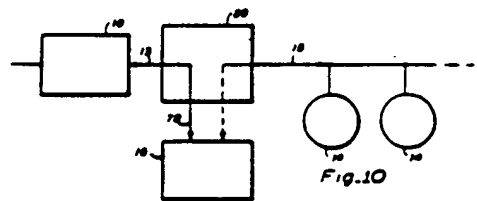


Fig. 10

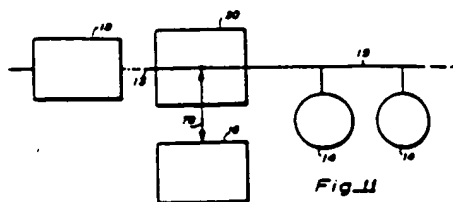


Fig. 11

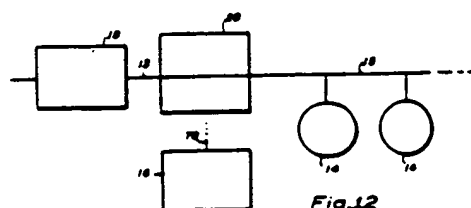


Fig. 12

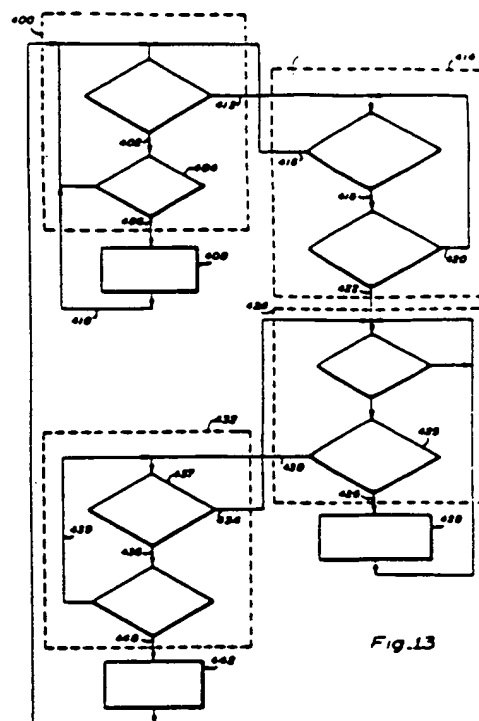


Fig. 13

# 第 1 頁の続き

- ⑦発明者 ジェシー・インゲブライト・スタムネス  
 アメリカ合衆国カリフォルニア州サニーベール・マンダリン・ドライブ1227
- ⑧発明者 リン・ウエルドン・ウィットフィールド  
 アメリカ合衆国カリフォルニア州サン・ホーゼ・バリ・グレン・ドライブ6150

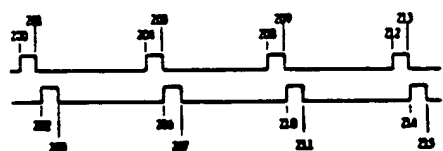


Fig. 14

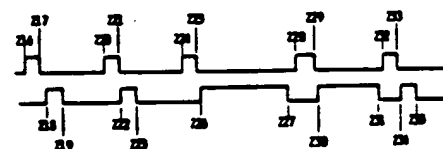


Fig. 15

手続補正書(自発)

昭和55年6月30日

神戸市長官 殿

1. 事件の表示

昭和55年 特許第 75397 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人  
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区本町1丁目10番9号 東京10ビル7F  
氏 名 (7101) 弁護士 山崎行雄 氏  
所 東京  
(8001) 弁護士 高石博馬

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

明細書の序言  
(内容に変更なし)

7. 補正の内容

別紙のとおり



特許第55-164958号  
手続補正書(自発)

昭和55年7月11日

神戸市長官 殿

1. 事件の表示

昭和55年 特許第 75397 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人  
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区本町1丁目10番9号 東京10ビル7F  
氏 名 (7101) 弁護士 山崎行雄 氏  
所 東京  
(8001) 弁護士 高石博馬

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

出願第55年特許出願人の代表者等、正式出願、  
書状及び同状文

7. 補正の内容

別紙のとおり



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**